

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-126748

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 N 7/01

H 0 4 N 7/01

C

G 0 6 T 3/40

G 0 9 G 5/00

5 1 0 S

G 0 9 G 5/00

5 1 0

5 2 0 W

5 2 0

H 0 4 N 3/223

H 0 4 N 3/223

5/46

審査請求 未請求 請求項の数22 O L (全 21 頁) 最終頁に続く

(21) 出願番号

特願平8-272543

(22) 出願日

平成8年(1996)10月15日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 平野 裕弘

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 石倉 和夫

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 高橋 明夫

最終頁に続く

(54) 【発明の名称】 画像信号のフォーマット変換信号処理方法及び回路

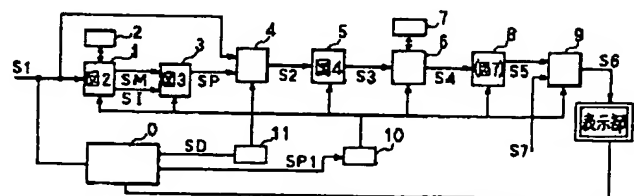
(57) 【要約】

【課題】 画像信号のフォーマット変換やスケーリング処理を小容量のメモリで行う。

【解決手段】 飛び越し走査の画像信号を補間処理で順次走査に変換し(1、3)、始めに水平方向の拡大縮小のスケーリング処理を行い(5)、次に垂直方向のスケーリング処理に使用するメモリを共用して拡大縮小やフレームレート変換や同期整合などの処理を行い(6)、最後に色空間変換や逆γ処理を行い(7)、所定のフォーマットの画像信号(S6)に変換する。

【効果】 信号処理に伴う画質の劣化が少なく、かつ、使用するメモリ容量が極めて少なく、また、低コストで実現でき、マルチメディア対応の各種情報機器端末の機能向上ならびにコスト低減に顕著な効果を得る。

図1



- 1…IP変換部 5…水平スケーリング部 10…マイクロプロセッサ
 2,7…メモリ部 6…垂直スケーリング部 11…コントロール部
 3…倍速化部 8…画質改善部 0…検出部
 4…選択部 9…多重部

【特許請求の範囲】

【請求項1】複数方式の入力画像信号を画像表示部の所定フォーマットに変換する信号処理回路であって、上記入力画像信号が飛び越し走査の画像信号のときこれを順次走査の画像信号に変換する信号処理を行う走査変換部と、上記入力画像信号と上記走査変換部の出力の順次走査の画像信号のいずれかを選択する第1の選択部と、上記選択部の出力に対して水平方向の縮小拡大の信号処理を行う水平方向スケーリング部及び垂直方向の縮小拡大の信号処理を行う垂直方向スケーリング部からなるスケーリング部と、上記入力画像信号の方式及び画像表示部の表示フォーマットに従い信号処理パラメタの選択し、少なくとも上記走査変換部、選択部、スケーリング部を上記信号処理パラメタに従って制御を行う制御部とを備えること特徴とする画像信号のフォーマット変換信号処理回路。

【請求項2】上記走査変換部の入力側に同一方式の第1の画像信号と第2の画像信号の入力部と、第1の画像信号と第2の画像信号とを1走査線期間の内に時分割多重する信号処理を行うマルチ処理部と、第1の画像信号とマルチ処理部の出力信号のいずれかを選択し上記入力画像信号とする第2の選択部とを設け、上記走査変換部とスケーリング部が単画面表示では上記第1の画像信号に対して、2画面表示では上記マルチ処理部出力の画像信号に対して処理を行うように上記制御部が構成されたことを特徴とする請求項1記載の画像信号のフォーマット変換信号処理回路。

【請求項3】上記マルチ処理部が上記第1の画像信号の折り返し歪みを除くための第1フィルタと、上記フィルタの出力をサブサンプルする第1サンプル部と、上記第1サンプル部の出力と上記第1の画像信号のいずれかを選択する第4の選択部と、第4の選択部の出力部に接続された第1ラインメモリと、上記第2の画像信号の折り返し歪みを除くための第2フィルタと、上記第2フィルタの出力をサブサンプルする第2サンプル部と、上記第2サンプル部の出力と上記第2の画像信号のいずれかを選択する第5の選択部と、第4の選択部の出力部に接続された第2ラインメモリと、第1ラインメモリ及び第2ラインメモリの出力を時分割多重する多重部をもつことを特徴とする請求項2記載の画像信号のフォーマット変換信号処理回路。

【請求項4】上記走査変換部が飛び越し走査で伝送された伝送走査信号系列と飛び越し走査で抜けた走査線を補間処理で生成した補間走査信号系列との2系統の信号を出力する第1変換回路と上記2系統の信号を時間軸1/2圧縮時分割多重の信号処理で順次走査の信号に変換する倍速部をもつことを特徴とする請求項1ないし3のいずれかーに記載の画像信号のフォーマット変換信号処理回路。

【請求項5】複数方式の入力画像信号を画像表示部の所

定フォーマットに変換する信号処理回路であって、上記入力画像信号が飛び越し走査の画像信号のときこれを飛び越し走査で伝送された伝送走査信号系列と飛び越し走査で抜けた走査線を補間処理で生成した補間走査信号系列との2系統の信号を出力する第1変換部と、上記入力画像信号が順次走査の画像信号のとき上記入力画像信号を2系列の飛び越し走査の画像信号とする第2変換部と、上記第1及び第2変換部部の出力のいずれかを選択する第1選択部と、第1選択部の出力の2系列の信号のそれぞれに対し水平方向の縮小拡大の信号処理を行う水平方向スケーリング部及び垂直方向の縮小拡大の信号処理を行う垂直方向スケーリング部からなるスケーリング部と、上記スケーリング部からの2系列の信号を時間軸を1/2に圧縮して時分割多重の信号処理で順次走査の信号に変換する倍速部と、入力画像信号の方式及び画像表示部の表示フォーマットに従い信号処理パラメタの選択し、少なくとも上記第1及び第2変換部、選択部、スケーリング部及び倍速部を上記信号処理パラメタに従って制御を行う制御部とをもつこと特徴とする画像信号のフォーマット変換信号処理回路。

【請求項6】上記第1変換部が入力画像の動き情報を検出する動きベクトル検出部と、上記入力画像信号のフィールド内演算及びフィールド内演算でそれぞれ第1の補間信号及び第2の補間信号を作る回路と、上記第1の補間信号と第2の補間信号の混合比を上記動き情報によって変化させ上記補間走査信号系列を得る回路とをもつことを特徴とする請求項5に記載の画像信号のフォーマット変換信号処理回路。

【請求項7】上記水平スケーリング部が、複数画素の画素に係数値を乗算する演算部と、ラインメモリと、複数個数のスイッチとを有して構成され、上記スイッチの選択制御により、水平縮小と、水平拡大と、スルーとの信号処理のいずれかを行うように構成されたことを特徴とする請求項1ないし6のいずれかーに記載の画像信号のフォーマット変換信号処理回路。

【請求項8】上記水平スケーリング部が、水平スケーリング部の入力信号から折り返し歪みを除くためのローパスフィルタと、1水平走査ラインメモリと、上記1水平走査ラインメモリの出力と上記ローパスフィルタの出力のいずれかを選択する第1スイッチと、上記第1スイッチの出力を1画素期間遅延し係数 β ($1 > \beta \geq 0$)を掛け第1の信号をつくり、上記第1スイッチの出力に係数 $1 - \beta$ を掛け第2の信号をつくり、第1の信号と第2の信号の加算を行いう演算部と、上記水平スケーリング部の入力信号と上記演算部の出力のいずれかを選択し上記1水平走査ラインメモリに入力する第2スイッチと、上記1水平走査ラインメモリの出力と上記演算部の出力のいずれかを選択すると第3スイッチ、上記第3スイッチの出力と上記水平スケーリング部の入力信号のいずれかを選択すると第4スイッチとをもち、上記スイッチの選

択制御により、水平縮小と、水平拡大と、スルーとの信号処理のいずれかを行うように構成されたことを特徴とする請求項1ないし6のいずれかーに記載の画像信号のフォーマット変換信号処理回路。

【請求項9】上記垂直スケーリング部が、複数ラインの画素に係数値を乗算する演算部と、フィールドメモリと、複数個数のスイッチとを有して構成され、上記スイッチの選択制御により、垂直縮小と、垂直拡大と、スルーとの信号処理のいずれかを行うように構成されたことを特徴とする請求項1ないし6のいずれかーに記載の画像信号のフォーマット変換信号処理回路。

【請求項10】上記垂直スケーリング部が、垂直スケーリング部の入力信号から折り返し歪みを除くためのローパスフィルタと、第1のフィールドメモリと、上記第1のフィールドメモリの出力と上記ローパスフィルタの出力のいずれかを選択する第1スイッチと、上記第1スイッチの出力を1ライン間遅延し係数 β ($1 > \beta \geq 0$)を掛け第1の信号をつくり、上記第1スイッチの出力に係数 $1 - \beta$ を掛け第2の信号をつくり、第1の信号と第2の信号の加算を行いう演算部と、上記垂直スケーリング部の入力信号と上記演算部の出力のいずれかを選択し上記第1のフィールドメモリに入力する第2スイッチと、上記演算部の出力を遅延する上記第2のフィールドメモリと、上記演算部の出力と、上記第1のフィールドメモリからの読みだし信号と、上記第2のフィールドメモリからの読みだし信号のいずれか1つを選択する第3スイッチ、上記第3スイッチの出力と上記垂直スケーリング部の入力信号のいずれかを選択する第4スイッチとをもち、上記スイッチの選択制御により、垂直縮小と、垂直拡大と、スルー、フィールド倍速、PAL-NTSC方式変換のいずれかの信号処理を行うように構成されたことを特徴とする請求項1ないし6のいずれかーに記載の画像信号のフォーマット変換信号処理回路。

【請求項11】上記水平スケーリング部と水平スケーリング部が水平縮小、水平拡大、垂直縮小、垂直拡大の信号処理を2点線形補間の特性で行う回路で構成されたことを特徴とする請求項1ないし10のいずれかーに記載の画像信号のフォーマット変換信号処理回路。

【請求項12】上記水平スケーリング部が、水平縮小とスルーの信号処理のみを行う回路であって、垂直スケーリング部が上記水平スケーリング部の出力を処理する回路であることを特徴とする請求項1ないし11のいずれかーに記載の画像信号のフォーマット変換信号処理回路。

【請求項13】上記水平スケーリング部が、水平拡大とスルーの信号処理のみを行う回路であって、水平スケーリング部が上記垂直スケーリング部の出力を処理する回路であることを特徴とする請求項1ないし11のいずれかーに記載の画像信号のフォーマット変換信号処理回路。

【請求項14】上記スケーリング部の出力部に上記制御部によって制御され、かつ上記スケーリング部の出力部の画像信号に対して色空間変換、逆変換の少なくとも一つの信号処理を行う画質改善部を付加したことを特徴とする請求項1から13の一つに記載の画像信号のフォーマット変換信号処理回路。

【請求項15】上記画質改善部の出力部に上記制御部によって制御され、かつ他の表示画像信号と上記画質改善部の出力を多重化する多重化部を付加したことを特徴とする請求項14に記載の画像信号のフォーマット変換信号処理回路。

【請求項16】請求項1から14の一に記載の画像信号のフォーマット変換信号処理回路と上記フォーマット変換信号処理回路の出力を入力とする表示部とを備えたことを特徴とするテレビジョン受像機。

【請求項17】複数方式の画像信号を画像表示部の所定フォーマットに変換する信号処理方法において、入力画像信号が順次走査の画像信号である時は直接に、入力画像信号が飛び越し走査の画像信号である時は順次走査の画像信号の信号に変換して順次走査の画像信号を得、画像表示部の所定フォーマット及び入力画像信号の方式に応じて上記得られた順次走査の画像信号の水平方向、垂直方向の縮小拡大、フレームレート変換の少なくとも一つを行うスケーリングを行うことを特徴とする画像信号のフォーマット変換信号処理回路方法。

【請求項18】請求項17に記載の方法において、画像信号を画像表示部の所定フォーマットに変換する信号処理方法において、同一方式の第1の画像信号と第2の画像信号とを1走査線期間の内に時分割多重する信号処理を行い、上記第1の画像信号か上記時分割多重する信号処理された信号のいずれかを選択し、選択された信号を上記入力画像信号とすることを特徴とする画像信号のフォーマット変換信号処理回路方法。

【請求項19】請求項17記載の方法において、水平方向、垂直方向の縮小拡大はそれぞれ水平方向及び垂直方向に隣接する2つの画素の信号に係数を乗じて加算する2点線形補間で行うことを特徴とする画像信号のフォーマット変換信号処理方法。

【請求項20】請求項17、18又は19記載の方法において、水平方向、垂直方向の縮小拡大を行う場合、水平方向を縮小するときは水平方向のスケーリングを行った後に垂直方向の縮小拡大を行い、水平方向を拡大するときは垂直方向の縮小拡大を行った後に水平方向の拡大を行うことを特徴とする画像信号のフォーマット変換信号処理回路方法。

【請求項21】請求項17、18、19のいずれかーの記載の方法において、上記スケーリングを行った画像信号に対して色空間変換、逆変換の少なくとも一方の信号処理を行うことを特徴とする画像信号のフォーマット変換信号処理回路方法。

【請求項22】請求項17ないし19のいずれかの記載の方法において、入力画像信号は、輝度信号と色差信号とからなる4:2:2、あるいは4:2:0のコンポーネント信号であることを特徴とする画像信号のフォーマット変換信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像信号のフォーマット変換の信号処理に係り、特に、複数方式の画像信号を画像表示部の所定フォーマットの画像信号に変換、あるいは、画像の水平垂直方向の任意縮小や任意拡大などの変換に好適な、画像信号のフォーマット変換信号処理方法及び回路に関する。

【0002】

【従来の技術】近年、マルチメディアの進展により、画像信号に関しては、取り扱う画像の種類や形態が飛躍的に増加し、多様化の方向に進捗している。また、画像を表示するディスプレイに関しても、CRTの他に、液晶表示装置、プラズマディスプレイなどの平面ディスプレイが多く使用されるようになってきた。このため、今後のマルチメディア対応の情報端末機器では、多種多様な画像ソースを受信して表示する機能を備えることが必須になる。

【0003】この機能を実現する代表的な方法としては、表示系で対処する方法と、信号処理で対処する方法とが知られている。前者の方法は、表示部の偏向系の動作範囲を広く設定し、入力画像の信号フォーマットと合致した形態で走査を行って画像を表示するもので、マルチスキャン方式として実用化されている。これは、表示部がCRTの場合には比較的低コストで実現でき有効な方法であるが、表示画素数が一定の液晶表示装置やプラズマディスプレイなどの平面ディスプレイでは適用が困難という問題がある。

【0004】後者の方法は、信号処理によるフォーマット変換を行い、入力画像信号を表示部のフォーマットの信号に変換して画像を表示するもので、CRT、液晶表示装置、プラズマディスプレイなど全ての表示系に適用することができる。従って、今後予想される入力画像ソースや表示装置の多様化への対処には、極めて有効な方法である。しかしながら、この方法は、フォーマット変換のために、フレームレートの変換や画面サイズの縮小拡大などの信号処理を行う必要がある。このため、信号処理に伴う画質劣化の回避や、使用するメモリ容量の削減や、コストの低減などを図るための信号処理方式の開発が重要である。

【0005】例えば、従来PAL方式のテレビ信号をNTSC方式のテレビ信号に変換しCRT、液晶表示装置で表示する場合、フレームレートの変換、走査線数の変換、飛び越し走査から順次走査への変換、アスペクト比の等の方式変換、縮小拡大、同期整合などの信号処理を

それぞれ独立に行っていたため、多くのメモリを必要とし、また画質も劣化する。

【0006】

【発明が解決しようとする課題】従って、本発明の主な目的は、フォーマット変換の信号処理に伴う画質の劣化が少なく、使用するメモリ容量が極めて少なく、製造コスト低減の容易な画像信号のフォーマット変換信号処理方法及び回路を提供するである。本発明の他の目的は、上記目的を達成すると共に、複数種類の方式の入力画像信号を画像表示部の所定フォーマットに変換することができる信号処理回路を提供するである。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明の画像信号のフォーマット変換信号処理回路においては、入力画像信号と上記入力画像信号が飛び越し走査系の画像信号のとき順次走査系の画像信号に変換する走査変換部（以下IP変換部と略称）と、上記入力画像信号とIP変換部から順次走査系の画像信号のいずれかを選択する選択部と、上記選択部の出力に対してフォーマット変換のための水平、垂直方向のスケーリングの信号処理を実行するスケーリング部と、上記入力画像信号の方式及び画像表示部の表示フォーマットに従い信号処理パラメタの選択し、少なくとも上記IP換部、選択部、スケーリング部を上記信号処理パラメタに従って制御を行う制御部とを設けて構成する。この構成によれば、順次走査系の信号に対して多くのフィルタリング処理が行われるが、画像処理のなかで必要とする多くのフィルタは、順次走査系と飛び越し走査系とは、順次走査系の方がフィルタ設計の自由度が大きく、より理想に近い特性で実現できるため、フォーマット変換での信号処理に伴う画質劣化は大幅に改善される。

【0008】上記スケーリング部は、水平スケーリングの信号処理を実行する水平スケーリングと、垂直スケーリングの信号処理を実行する垂直スケーリングを持ち、入力の水平入力画素数が表示される画像の水平画素数より大きいときは、水平スケーリングを垂直スケーリングに先立っておこない、逆の場合は垂直スケーリングを水平スケーリングに先立って行うように構成することが望ましい。また、垂直スケーリングでは、縮小拡大の信号処理の他にも、TV信号の方式変換（例えば、PAL-NTSC変換）のためのフレームレート変換の信号処理、PALフィールド倍速変換のための信号処理、2画面表示やPIP表示（一つの画面の中に、他の画面を表示）等のマルチ画面表示での同期整合の信号処理の少なくとも一つを併せて実行する。この構成によって、方式変換、縮小拡大、同期整合などの信号処理をそれぞれ独立に行う場合と較べて、フォーマット変換での信号処理に必要なメモリ容量を、数分の一の1フィールド程度（数メガビット）と大幅に削減することができる。

【0009】また、水平、垂直スケーリングの回路構成

は、複数画素あるいは複数ラインの画素に係数値を乗算する演算部と、メモリ部と、複数個数のスイッチの組み合わせで構成し、該スイッチを選択制御して信号を切り換え、縮小機能や、拡大機能や、スルーの機能を実現する。上記演算部では、2点線形補間の特性の演算を実行する。この技術的手段によって、信号処理に必要な回路規模を大幅に低減できる。

【0010】本発明の好ましい実施の形態では、上記IP変換部は動き適応型あるいは動き補償型の補間処理で順次走査系の画像信号に変換する。また、スケーリング部の出力側に、フォーマット変換の信号処理を行った画像信号に対して色空間変換や逆γ変換などの画質改善処理を実行する画質改善部を設ける。

【0011】本発明の他の好ましい実施形態として、同一方式（例えば、飛び越し走査のNTSCテレビジョン信号）の第1の画像信号と第2の画像信号とを1走査線期間の内に時分割多重する信号処理を行うマルチ処理部を設け、単画面表示では第1の画像信号に対して、2画面表示ではマルチ処理部出力の画像信号に対して、それぞれフォーマット変換の信号処理を実行する構成とする。この技術的手段によって、信号処理に必要な回路規模の更なる低減ができる。

【0012】また、本発明の更に他の好ましい実施形態として、入力画像信号は、輝度信号と2つの色差信号とからなる4:2:0系（色差信号が水平、垂直方向共にサブサンプルされたもの）あるいは4:2:2系（色差信号が水平方向のみサブサンプルされ、垂直方向は輝度信号と同じレイトとでサンプルされたもの）のコンポーネント信号を採用する。この技術的手段によって、多様なソース（例えば、現行TV信号、HDTV信号、EDTV信号、パソコン画像、パッケージ系画像など）を一元的に処理できる。また、2つの色差信号の信号処理は、4:2:2系では輝度信号と同程度、4:2:0系では輝度信号の1/2のメモリ容量で行うことができる。

【0013】さらに、本発明の好ましい他の実施形態として、信号処理に極めて高速な動作が必要な場合（例えば、表示系が超高精細ディスプレイなど）には、順次走査系の信号を2系列の信号に分割し、この2系列の信号に対して、フォーマット変換のための水平、垂直スケーリングの信号処理を実行する。この技術的手段によって、信号処理を1/2の動作速度で行うことができる。なお、信号処理に必要なメモリ容量は1系列の場合と同程度である。

【0014】また、スケーリング部の出力側に、フォーマット変換の信号処理を行った画像信号に対して色空間変換や逆γ変換などの画質改善処理を実行する画質改善部を設ける。従来の技術ではこの画質改善処理出力では10ビット/画素程度の精度が必要であるが、本発明では、フォーマット変換までの信号処理は、通常の8ビット

ト/画素の精度で行うことができるため、メモリの容量や、回路規模を低減することができる。

【0015】

【発明の実施の形態】

＜実施形態1＞図1は本発明による画像信号のフォーマット変換信号処理回路の第1の実施の形態を示すブロック構成図である。各ブロックの詳細な構成はブロック内に示す番号の図面によって後で詳細に説明する。

【0016】入力画像信号S1（4:2:2系、あるいは4:2:0系のコンポーネント輝度、色差信号等）

は、IP変換部1と選択部4に入力する。IP変換部1は、飛び越し走査の入力画像信号に対して、飛び越し走査で抜けた走査線の信号を動き適応型や動き補償型の補間処理で生成し、伝送走査線信号系列SMと補間走査線信号系列SIとを出力する。倍速化部3は、信号系列SMとSIをそれぞれ水平方向に時間軸の1/2圧縮と時系列多重の信号処理を行い、順次走査の画像信号系列SPを出力する。

【0017】選択部4は、入力画像信号S1が飛び越し走査の現行テレビジョン信号（以下、現行TV信号と略称）では信号系列SP、順次走査系のEDTV信号やパソコン画像信号及びHDTV信号では信号系列S1をそれぞれ選択し、これを信号系列S2として出力する切り換え回路で構成される。

【0018】水平スケーリング部5は、画像の水平方向がK個の画素をL個の画素に変換をする信号処理（以下、水平K-L変換と略称）を行い、水平拡大（ $K < L$ ）や水平縮小（ $K > L$ ）を行い、変換された信号系列S3を出力する。垂直スケーリング部6は、画像の走査線数がK個のラインをL個のラインに変換をする信号処理（以下、垂直K-L変換と略称）を行い、垂直拡大（ $K < L$ ）や垂直縮小（ $K > L$ ）を行う。なお、入力信号S1によっては、方式変換（例えば、PAL方式とNTSC方式の方式変換）や、同期整合の信号処理、表示部のフィールド周波数が100の場合は、PALフィールド倍速の信号処理も併せて行う。そして、フォーマット変換した画像信号系列S4を出力する。なお、水平縮小（ $K > L$ ）を行う場合は、水平スケーリング部5は、垂直スケーリング部6の入力側に設け、水平拡大（ $K < L$ ）を行う場合は、水平スケーリング部5は垂直スケーリング部6の入力側に設けけることが信号処理の簡易化の観点より望ましい。

【0019】画質改善部8は、輝度信号の黒レベル補正、白レベル補正などの画質改善や、色空間変換などの信号処理を行い、3原色RGB信号に変換する。また、表示系がリニア特性のディスプレイでは、逆γ変換の信号処理を行う。そして、3原色画像信号系列S5を出力する。画質改善部8は従来知られているものを使用できる。

【0020】多重部9は、信号系列S5にマルチ画面表

示(例えば、2画面表示、PIP表示、マルチウィンド表示など)のための他の3原色画像信号系列S7を多重する信号処理を行う。そして、表示系のフォーマットに合致した画像信号系列S6を出力する。

【0021】マイクロプロセッサ部10は、画像情報信号SPI(入力画像信号S1の種類、表示系のフォーマット、画面表示のモードなどの情報)をもとに信号処理パラメータを設定し、上記各ブロック部1、3、4、5、6、8、9を制御する。画像情報信号SPIは、検出部0で入力画像信号S1のフレーム数、同期信号等及び表示部から自動的に検出する。勿論手動的に画像情報信号SPIを発生するように構成してもよい。

【0022】コントロール部11は、各ブロック部における信号処理に必要な同期信号、制御信号、クロック信号などを生成し、各ブロックに供給する。また、マルチ画面表示の際の同期整合処理に必要な情報SDを出力する。即ち、マイクロプロセッサ部10及びコントロール部11によって各ブロックを総合的に制御する制御部を構成する。

【0023】以下、図1の主要ブロック部の構成について説明する。図2は、図1のIP変換部1及びメモリ部2の一構成例図である。動き適応型の補間処理を行うものである。この回路部は従来知られている回路と実質的に同じである。入力画像信号S1の輝度信号S1(Y)の一部は、伝走査線信号系列の輝度信号SM(Y)として出力する。一方、1H遅延部12(Hは水平走査線(ライン)の周期を表す。以下の説明についても同じ)で1H期間遅延させた信号を加算部13で加算し、係数加重部14で係数値1/2を加重して、動画像に適した補間信号を生成する。

【0024】また、メモリ部2のフィールドメモリFD1で1フィールド期間遅延させた信号で、静止画像に適した補間信号を生成する。更に、この信号を他のフィールドメモリFD2で1フィールド期間遅延させた信号を減算部17で減算し、1フレーム間の差分信号を検出する。動き係数設定部18は、この差分信号の絶対値すなわち、画像の動きの大小に応じて、0から1までの値の動き情報係数を設定する。動きの検出漏れを回避するため、MAX選択部19は、1フィールド前の動きの情報も使用して、最終的な動き係数Kを設定する。すなわち、係数加重部20で係数 α ($0 < \alpha < 1$)を加重した信号をフィールドメモリFD3で1フィールド期間遅延させて生成する1フィールド前の動きの信号と、動き情報係数の間で、最大値を検出し、この最大値を最終的な動き係数K($0 \leq K \leq 1$, 静止時: $K=0$)として出力する。係数加重部15は、係数K, $1-K$ を加重し、加算部16で両者の信号を加算して、補間走査線信号系列の輝度信号SI(Y)を生成する。

【0025】入力画像信号S1の色差信号S1(C)に対しては、フィールド内補間で補間信号を生成する。す

なわち、信号S1(C)を伝走査線信号系列の色差信号SM(C)として出力するとともに、1H遅延部12で1ライン期間遅延させた信号を加算部13で加算し、係数加重部14で係数値1/2を加重して、補間走査線信号系列の色差信号SI(C)を生成する。

【0026】図3(a)及び(b)は、それぞれ図1の倍速化部3の構成図及び(a)のラインメモリ21の機能を説明するための図である。伝走査線信号系列の信号SM(Y)、SM(C)はラインメモリ21-1に、補間走査線信号系列の信号SI(Y)、SI(C)はラインメモリ21-2に、同図(b)に示す書き込み動作(以下WT動作と略称)で、飛び越し走査系の動作速度で1ライン期間の信号を記憶する。

【0027】ラインメモリからの読出し動作(以下RD動作と略称)は、順次走査系の動作速度で1ライン期間1/(2fH)(飛び越し走査系の1/2の時間)で、ラインメモリ21-1と21-2とを交互に読み出す。そして、多重部22で時系列に多重し、その出力に順次走査系の画像信号系列の輝度信号SP(Y)と、色差信号SP(C)とを得る。

【0028】図4(a)及び(b)は、それぞれ図1の水平スケーリング部5の構成図及び各種信号処理におけるスイッチ類の選択制御を行う信号処理パラメータを示す図である。水平縮小の信号処理では、スイッチ24(SW1)、28(SW2)、31(SW4)は端子a、スイッチ30(SW3)は端子bに接続する。順次走査系の画像信号の輝度信号S2(Y)は、縮小処理で折り返し歪となる水平高域周波数成分を除去するため、水平LPF23で低域通過の周波数特性で帯域制限を行う。次に、1画素遅延25と係数加重部26と加算部27とで構成する演算部で、2点線形補間の特性による画素の水平K-L変換($K > L$)の演算を行う。すなわち、入力信号と、1画素遅延素子25で1画素遅延した信号に対し、係数加重部26ではそれぞれ係数値 β 、 $1-\beta$ ($1 > \beta \geq 0$)を加重し、加算部27で両者を加算し、この出力に水平K-L変換でK画素から生成したL画素の信号を得る。なお、係数値 β 、 $1-\beta$ は、K画素を周期に画素毎に変化する。1Hメモリ29では、間欠的なWT動作でL画素の信号を記憶する。そして、RD動作で連続的に信号の読出しを行う。スイッチ31の出力に、L/K倍に水平縮小した信号系列S3(Y)を得る。

【0029】水平拡大の信号処理では、スイッチ24(SW1)、28(SW2)は端子b、スイッチ30(SW3)、31(SW4)は端子aに接続する。順次走査系の画像信号の輝度信号S2(Y)は、1Hメモリ29に、WT動作で連続的に信号を記憶する。そして、RD動作では一部期間で2度読み出しの動作を行い、L画素の期間でK個の画素の信号を読み出す。1画素遅延素子25と係数加重部26と加算部27とで構成する演算部で、2点線形補間の特性による画素のK-L変換

($K < L$) の演算を行うすなわち、入力信号と、1画素遅延素子25で1画素遅延した信号に対し、係数加重部26では係数値 β 、 $1 - \beta$ を加重し、加算部27で両者を加算し、この出力に $K - L$ 変換でK画素から生成したL画素の信号を得る。なお、係数値 β 、 $1 - \beta$ は、L画素を周期に画素毎に変化する。スイッチ31 (SW4) の出力に、 L/K 倍に水平拡大した信号系列S3 (Y) を得る。なお、前述のように、水平拡大の信号処理では、水平スケーリング部5は垂直スケーリング部6の出力側に設けることが望ましい。

【0030】スルーの信号処理は、水平縮小拡大が不要のときに行われ、スイッチ31を端子bに接続し、入力信号S2 (Y) がスイッチ31の出力に、縮小拡大の処理を行わない信号系列S3 (Y) として得られる。順次走査系の画像信号の色差信号S2 (C) に対しても、輝度信号の場合と同一の構成による信号処理を行い、水平縮小、水平拡大又はスルーの信号系列S3 (C) を得る。

【0031】図5 (a) 及び (b) は、それぞれ図1の垂直スケーリング部6の構成図及び各種信号処理におけるスイッチ類の選択制御の信号処理パラメタを示す図である。垂直縮小の信号処理では、スイッチ33 (SW1)、37 (SW2)、39 (SW4) は端子a、38 (SW3) は端子bに接続する。順次走査系の画像信号の輝度信号S3 (Y) は、縮小処理で折り返し歪となる垂直高域周波数成分を除去するため、垂直LPF32で低域通過の周波数特性で帯域制限を行う。1ライン遅延素子34と係数加重部35と加算部36とで構成する演算部で、2点線形補間の特性によるラインの垂直 $K - L$ 変換 ($K > L$) の演算を行う。すなわち、入力信号と、1H遅延素子34で1ライン遅延した信号に対し、係数加重部35では係数値 β 、 $1 - \beta$ を加重し、加算部36で両者を加算し、この出力に垂直 $K - L$ 変換でKラインから生成したLラインの信号を得る。なお、係数値 β 、 $1 - \beta$ は、Kラインを周期にライン毎に変化する。メモリ部7のM-1では、図6 (a) に示す様に、1フィールド期間を周期にWT動作、RD動作を行う。WT動作では、垂直 $K - L$ 変換で生成した信号を間欠的に書き込み記憶する。一方、RD動作では ($1 - L/K$) フィールド期間遅れた時点より連続的に信号を読み出す。そして、スイッチ39 (SW4) の出力に、 L/K 倍に垂直縮小した信号系列S4 (Y) を得る。以上に述べた垂直縮小の信号処理に必要なメモリ容量は、($1 - L/K$) フィールド期間分あればよい。

【0032】垂直拡大の信号処理では、スイッチ33 (SW1)、37 (SW2) は端子b、スイッチ38 (SW3)、39 (SW4) は端子aに接続する。メモリ部7のM-1では、図6 (b) に示す様に、1フィールド期間を周期とするWT動作、RD動作を行う。順次走査系の画像信号の輝度信号S3 (Y) は、WT動作で

連続的に信号を記憶する。一方、RD動作では一部期間で2度読み出しの動作を行いKラインの期間にLラインの信号を読み出す。次に、1ライン遅延34と係数加重部35と加算部36とで構成する演算部で、2点線形補間の特性によるラインの垂直 $L - K$ 変換 ($L < K$) の演算を行う。すなわち、入力信号と、1ライン遅延34で1ライン遅延した信号に対し、係数加重部35では係数値 β 、 $1 - \beta$ を加重し、加算部36で両者を加算し、この出力に $L - K$ 変換でLラインから生成したKラインの信号を得る。なお、係数値 β 、 $1 - \beta$ は、Kラインを周期にライン毎に変化する。そして、スイッチ39 (SW) の出力に、 K/L 倍に垂直拡大した信号系列S4 (Y) を得る。以上に述べた垂直拡大の信号処理に必要なメモリ容量は、($1 - L/K$) フィールド期間分あればよい。

【0033】PALフィールド倍速の信号処理 (PALテレビ信 (以下625/50/1:1と略称) 号のフリッカを除くためにフィールド周波数を50Hzから100Hzの飛び越し走査系の信号 (以下625/100/2:1と略称) に変換する処理) では、スイッチ37 (SW2)、38 (SW3) を端子b、スイッチ39 (SW4) を端子aに接続して実現する。メモリ部7のM-1では、図6 (c) に示す様なWT動作、RD動作を行う。順次走査系のPAL信号の輝度信号S3 (Y) は、1フィールド期間を周期に、WT動作で連続的に信号を記憶する。一方、RD動作では、0.5フィールド期間遅れた時点から、順次走査系の奇数走査線の信号系列 (図中の○-0、偶数走査線の信号系列 (図中の○-E) の順に信号の読出しを行う。そして、スイッチ39 (SW4) の出力に、PALフィールド倍速した信号系列S4 (Y) を得る。以上に述べたPALフィールド倍速の信号処理に必要なメモリ容量は、0.5フィールド期間分あればよい。

【0034】NTSC-PALフィールド倍速の信号処理は、順次走査系に変換したNTSC信号 (以下525/60/1:1と略称) を625/100/2:1系の信号に変換するもので、スイッチ33 (SW1)、37 (SW2) を端子b、38 (SW3) を端子c、39 (SW4) を端子aに接続する。順次走査系のNTSC信号の輝度信号S3 (Y) は、図6 (d) に示す様に、メモリ部7のM-1に、NTSC1フィールド期間を周期とするWT動作で、連続的に信号を記憶する。一方、RD動作では、PAL1フィールド期間を周期に、一部期間で2度読み出しの動作を行い6ラインの期間に5ラインの信号を読み出す。

【0035】次に、1ライン遅延34と係数加重部35と加算部36とで構成する演算部で、2点線形補間の特性によるラインの5-6変換の演算で垂直拡大を行う。すなわち、入力信号と、1ライン遅延34で1ライン遅延した信号に対し、係数加重部35では係数値 β 、 $1 -$

β を加重し、加算部36で両者を加算し、この出力に5-6変換で5ラインから生成した6ラインの信号を得る。なお、係数値 β 、 $1-\beta$ は、6ラインを周期にライン毎に変化する。メモリ部7のM-2では、PAL1フィールド期間を周期に、WT動作で連続的にこの信号を記憶する。一方、RD動作では、0.5フィールド期間遅れた時点から、順次走査系の奇数走査線の信号系列(図中のO-O)、偶数走査線の信号系列(図中のO-E)の順に信号の読出しを行う。そして、スイッチ39(SW4)の出力に、NTSC-PALフィールド倍速した信号系列S4(Y)を得る。以上に述べたNTSC-PALフィールド倍速の信号処理に必要なメモリ容量は、NTSC-PAL変換に1フィールド期間分、フィールド倍速変換に0.5フィールド期間分あればよい。

【0036】PAL-NTSC変換の信号処理は、625/50/1:1系の信号を525/60/1:1系の信号に変換するもので、スイッチ33(SW1)、37(SW2)を端子a、スイッチ38(SW3)を端子b、スイッチ39(SW4)を端子aに接続して実現する。順次走査系のPAL信号の輝度信号S3(Y)は、垂直LPF32で低域通過の周波数特性で帯域制限を行う。次に、1ライン遅延34と係数加重部35と加算部36とで構成する演算部で、2点線形補間の特性によるラインの6-5変換の演算で垂直縮小を行う。すなわち、入力信号と、1ライン遅延34で1ライン遅延した信号に対し、係数加重部35では係数値 β 、 $1-\beta$ を加重し、加算部36で両者を加算し、この出力に6-5変換で6ラインから生成した5ラインの信号を得る。なお、係数値 β 、 $1-\beta$ は、6ラインを周期にライン毎に変化する。メモリ部7のM-1では、図6(e)に示す様に、PAL1フィールド期間を周期とするWT動作で、6-5変換で生成した信号を間欠的に書き込み記憶する。一方、RD動作ではNTSC1フィールド期間を周期に信号を読み出す。そして、スイッチ39(SW4)出力に、PAL-NTSC変換した信号系列S4(Y)を得る。以上に述べたPAL-NTSC変換の信号処理に必要なメモリ容量は、1フィールド期間分あればよい。

【0037】スルーの信号処理は、垂直縮小拡大の処理が不要のとき行われ、スイッチ39(SW4)を端子bに接続し、スイッチ39の出力に、縮小拡大の処理を行わない信号系列S4(Y)を得る。

【0038】順次走査系の画像信号の色差信号S3(C)に対しても、輝度信号と同一の構成による信号処理を行い、垂直縮小、垂直拡大、PALフィールド倍速変換、NTSC-PALフィールド倍速変換、PAL-NTSC変換又はスルーの信号系列S4(C)を得る。なお、図4及び図5のスイッチ駆動の信号処理パラメータ、係数は図1のマイクロプロセッサより与えられる。以下の他に実施形態についても同様である。以上に述べ

た様に、垂直スケーリング部では、極めて少ないメモリ容量で、フォーマット変換に必要な各種の信号処理を行うことができる。

【0039】図19は、画像信号のフォーマット変換の代表的な例の画面を示す。同図(a)は、アスペクト比16:9の表示画面にアスペクト比4:3の画像を表示するため、画像を水平に圧縮するもので、ノーマルモードと略称する。同図(b)は、レターボックス画像をアスペクト比16:9の画面に表示するため、画像を垂直に拡大するもので、シネマモードと略称する。同図

(c)は、アスペクト比4:3の画像の左右を徐々に拡大し、アスペクト比16:9の画面一杯に表示するもので、スーズワイドと略称する。同図(d)は、水平に圧縮したアスペクト比4:3の画像を、アスペクト比16:9の画面一杯に表示するもので、フルモードと略称する。同図(e)は、水平垂直方向に任意の倍率で圧縮して表示するものである。また、同図(f)は、水平垂直方向に任意の倍率で拡大して表示(ズームモードと略称)するものである。

【0040】図20はフォーマット変換の信号処理で使用する代表的なK-L変換の処理の演算式を示す。同図(a)の4-3変換はノーマルモードで使用する。図中で示すマトリックスは4点の入力系列X1、X2、X3、X4と、3点の出力系列Y1、Y2、Y3の対応関係を示す。従って、前述した演算部では、係数値(β 、 $1-\beta$)は(1, 0)、(2/3, 1/3)、(1/3, 2/3)と変化し、出力系列を生成する。同図(b)の3-4変換は、シネマモードで使用する。そして、4点の入力系列X1、X2、X3、X4(但し、X4は次の入力系列のX1にも使用)と、4点の出力系列Y1、Y2、Y3、Y4との対応関係は、同図に示すマトリックスで表される。従って、前述した演算部では、係数値(β 、 $1-\beta$)は(0, 1)、(1/4, 3/4)、(2/4, 2/4)、(3/4, 1/4)と変化し、出力系列を生成する。また、同図(c)はPAL-NTSC変換に使用する6-5変換、同図(d)はNTSC-PAL変換に使用する5-6変換の例である。

【0041】図21は、画像信号(525/60/1:1)、アスペクト比16:9の表示系におけるIP変換部1、水平及び垂直スケーリング部5、6での信号処理を示す。図中、IP変換の丸印はIP変換を行うことを表す。

【0042】525/60/2:1系(現行NTSC方式に相当)の入力信号は、IP変換部1で順次走査に変換した信号に対して、各種表示モードに対応したフォーマット変換を行う。

【0043】525/60/1:1系(EDTV方式に相当)の入力信号は、順次走査系であるのでIP変換は行わず、表示モードに応じて、スルー、拡大、縮小の処理を行う。

【0044】1125/60/2:1系(HDTVに相当)の入力信号は、垂直スケーリング部6で17-16変換を行い、飛び越し走査系から順次走査系に変換する。また、表示モードに応じて、拡大、縮小の処理を行う。

【0045】625/50/2:1系(現行PAL方式に相当)の入力信号は、IP変換部1で順次走査に変換した信号に対して、垂直スケーリング部6でフレームレート変換、6-5変換を行う。併せて、各種表示モードに対応したフォーマット変換を行う。

【0046】PC系(パソコン画像)の入力信号は、60フレーム/秒の順次走査系の信号であるので、IP変換は行わず、水平、垂直スケーリング部でノーマルモード表示の処理を行う。すなわち、VGA系(640×480)では水平4-3変換、SVGA系(800×600)では水平4-3変換と垂直5-4変換、XGA系(1024×768)では水平4-3変換と垂直8-5変換を行う。

【0047】図21は、625/100/2:1、アスペクト比16:9の表示系におけるIP変換部1、水平及び垂直スケーリング部5、6での信号処理を示す。525/60/2:1系(現行NTSC方式に相当)の入力信号は、IP変換部1で順次走査に変換した信号に対して、垂直スケーリング部6でフレームレート変換、5-6変換、フィールド倍速変換を行う。併せて、各種表示モードに対応したフォーマット変換を行う。

【0048】525/60/1:1系(EDTV方式に相当)の入力信号は、順次走査系であるのでIP変換は行わず、垂直スケーリング部6でフレームレート変換、5-6変換、フィールド倍速変換を行う。また、表示モードに応じて、スルー、拡大、縮小の処理を行う。

【0049】1125/60/2:1系(HDTVに相当)の入力信号は、垂直スケーリング部6でフレームレート変換、15-16変換、フィールド倍速変換を行う。また、表示モードに応じて、拡大、縮小の処理を行う。

【0050】625/50/2:1系(現行PAL方式に相当)の入力信号は、IP変換部1で順次走査に変換した信号に対して、垂直スケーリング部6でフィールド倍速変換を行う。また、各種表示モードに対応したフォーマット変換を行う。

【0051】PC系(パソコン画像)の入力信号は、60フレーム/秒の順次走査系の信号であるので、IP変換は行わず、垂直スケーリング部6でフレームレート変換、フィールド倍速変換を行う。また、ノーマルモード表示のための処理を行う。すなわち、VGA系(640×480)では水平4-3変換と垂直5-6変換、SVGA系(800×600)では水平4-3変換、XGA系(1024×768)では水平4-3変換と垂直4-3変換を行う。

【0052】図23は、1125/60/2:1、アスペクト比16:9の表示系におけるIP変換部、水平、垂直スケーリング部での信号処理を示す。

【0053】525/60/2:1系(現行NTSC方式に相当)の入力信号は、IP変換部1で順次走査に変換した信号に対して、各種表示モードに対応したフォーマット変換を行う。なお、垂直スケーリング部6では16-17変換を併せて行い、飛び越し走査系の信号に変換する。

10 【0054】525/60/1:1系(EDTV方式に相当)の入力信号は、順次走査系であるのでIP変換は行わず、表示モードに応じて、スルー、拡大、縮小の処理を行う。なお、垂直スケーリング部6では16-17変換を併せて行い、飛び越し走査系の信号に変換する。

【0055】1125/60/2:1系(HDTVに相当)の入力信号は、表示モードに応じて、拡大、縮小の処理を行う。

20 【0056】625/50/2:1系(現行PAL方式に相当)の入力信号は、IP変換部1で順次走査に変換した信号に対して、垂直スケーリング部6でフレームレート変換、16-15変換を行い、飛び越し走査系の信号に変換する。併せて、各種表示モードに対応したフォーマット変換を行う。

【0057】PC系(パソコン画像)の入力信号は、60フレーム/秒の順次走査系の信号であるので、IP変換は行わず、水平及び垂直スケーリング部5、6でノーマルモード表示の処理を行う。すなわち、VGA系(640×480)では水平4-3変換と垂直16-17変換、SVGA系(800×600)では水平4-3変換と垂直20-17変換、XGA系(1024×768)では水平4-3変換と垂直32-21変換を行う。

30 【0058】図7は、図1の画質改善部8の一構成例を示す。フォーマット変換処理した画像信号系列の輝度信号S4(Y)は、輝度処理部74に入力して輪郭補正や黒レベル補正や白レベル補正の信号処理を行う。また、フォーマット変換処理した画像信号系列の色差信号S4(C)は、画素補間部75に入力し、輝度信号と同じ標本点の構造を有する色差信号U、Vに復調する信号処理を行う。色空間変換部76は、輝度色差系から3原色RGB系への変換処理を行う。また、逆γ処理部77は、リニアな特性を有する表示系のための逆ガンマ補正の信号処理を行う。選択部78は、CRTなどのガンマ特性を有する表示系では色空間変換部の信号、液晶表示装置やプラズマディスプレイなどリニアな特性の表示系では逆γ処理部の信号を選択し、3原色画像信号系列S5として出力する。

50 【0059】以上に述べた如く、本実施例によれば、信号処理に伴う画質の劣化が少なく、かつ、使用するメモリ容量が極めて少なく、また、低コストな画像信号のフォーマット変換の信号処理方法及び回路を実現すること

ができる。

【0060】図8は、上記実施形態の画像信号のフォーマット変換信号処理回路を使用したテレビジョン受像機の一実施形態を示すブロック構成図である。図に示したブロックと表示部（図示せず）がテレビジョン受像機の中に組み込まれる。表示部は従来知られているものと同じでよい。

【0061】地上放送波は、UVチューナ部40で受信してベースバンドの映像信号に復調する。衛星放送波は、BS/CSチューナ部41で受信してベースバンドの映像信号に復調する。そして、スイッチ部42は、これら復調した映像信号とパッケージ（CD-ROM、ビデオテープ）系の映像信号を選択して出力する。

【0062】現行方式デコード部43は、NTSC方式あるいはPAL方式の映像信号に対して、YC分離、色復調の信号処理を行い、コンポーネント4:2:2系（あるいは4:2:0系）の輝度色差信号系列に復調する。ED/HDデコード部44は、EDTV方式あるいはHDTV方式の映像信号に対して復調の信号処理を行い、EDTV方式では順次走査系、HDTV方式では飛び越し走査系のコンポーネント4:2:2系（あるいは4:2:0系）の輝度色差信号系列に復調する。

【0063】デジタル放送波は、デジタル受信部45で受信してデジタル復調、デスクランブル、誤り訂正などの信号処理を行い、ビットストリーム信号に復号する。この信号は、MPEGデコード部46で復号化処理を行い、コンポーネント4:2:2系（あるいは4:2:0系）の輝度色差信号系列に復調する。

【0064】PC画像信号（3原色RGB信号）は、PC処理部47に入力して輝度色差系への色空間変換の信号処理を行い、コンポーネント4:2:2系（あるいは4:2:0系）の輝度色差信号系列に変換する。スイッチ部48は、これら信号系列を選択して出力する。画像処理部49は、図1に示した画像信号のフォーマット変換信号処理回路で、画像信号を表示系のフォーマットに変換する信号処理を行う。単画面表示モードでは画像処理部49-1の信号、マルチ画面表示モードでは、画像処理部49-1の信号をメイン画像、情報SDでメイン画像との同期整合処理を行った画像処理部49-2の信号をサブ画像として多重した信号を出力する。

【0065】多重部51は、この信号にOSD（On Screen Display）50（パソコン等の画像発生において、一つの画面の中に他の小さな画面を形成する手段）で生成するオンスクリーン画像を多重する処理を行い、その出力信号を表示部（図面には明示せず）に供給して、画像を表示部の所定の形態で表示する。マイコン制御部52は、入力信号や表示モードの設定、各ブロック部における信号処理の制御などを行う。なお、マイコン制御部52と各ブロック部の結線は省略している。

【0066】以上に述べた如く、本実施例によれば、各

種入力ソースの画像信号を受信表示するテレビジョン受像機を必要メモリを低減して低コストで実現することができる。なお、画像処理部49に関しては、以下に述べる第2乃至第4の実施形態で構成することもできる。なお、以下の実施形態の説明で、実施形態1と実質的に同じ構成、機能部分については同一番号を付し説明を省く。

【0067】＜実施形態2＞図9は本発明による画像信号のフォーマット変換信号処理回路の第2の実施形態を示すブロック構成図である。本実施例は、2系列の飛び越し走査信号の状態では水平、垂直スケーリング部の信号処理を行い、その後順次走査の信号に変換するものである。すなわち、2系列に分割して水平、垂直スケーリング部の信号処理を行うものである。

【0068】入力画像信号系列S1（4:2:2系、あるいは4:2:0系のコンポーネント輝度、色差信号）は、IP変換部1と2チャンネル化部53に入力する。IP変換部1は飛び越し走査の入力画像信号に対し動作するもので図2の構成、動作と同じである。2チャンネル化部53は、順次走査系の入力画像信号S1に対して、2系列の飛び越し走査系の信号系列SM'、SI'を生成する。選択部4は、入力画像信号S1が飛び越し走査系の現行TV信号では信号系列SM、SI、順次走査系のEDTV信号やパソコン画像信号及びHDTV信号では信号系列SM'、SI'をそれぞれ選択し、これを信号系列S2M、S2Iとして出力する。

【0069】水平スケーリング部5は、信号系列S2M、S2Iのそれぞれに水平K-L変換の信号処理で水平拡大（ $K < L$ ）や水平縮小（ $K > L$ ）を行い、水平方向に拡大又は縮小した信号系列S3M、S3Iを出力する。垂直スケーリング部54は、信号系列S3M、S3Iに対して垂直K-L変換の信号処理で垂直拡大（ $K < L$ ）や垂直縮小（ $K > L$ ）を行う。なお、入力信号S1の種類によっては、実施形態1と同様に、方式変換（例えば、PAL-NTSC変換）や、同期整合の信号処理、表示系によってはPALフィールド倍速の信号処理も併せて行う。そして、フォーマット変換した画像信号系列S4M、S4Iを出力する。

【0070】倍速化部3は、信号系列S4MとS4Iをそれぞれ水平方向に時間軸の1/2圧縮と時系列多重の信号処理を行い、順次走査系の画像信号系列S4を出力する。

【0071】図10（a）及び（b）は、それぞれ図9の2チャンネル化部53の構成ブロック図及びその動作を説明するための図である。順次走査系の入力画像信号の輝度信号S1（Y）と色差信号S1（C）は、それぞれラインメモリ56-1、56-2に入力する。ラインメモリ56-1は、同図（b）に示す様に、WT動作で第1の飛び越し走査系に相当する走査線の信号（図の①、③、…の走査線）を1ライン期間fHで記憶する。一

方、RD動作はWT動作の2倍の期間 $2fH$ で信号を読み出し、飛び越し走査系の信号系列 $SM'(Y)$ 、 $SM'(C)$ を得る。

【0072】ラインメモリ56-2は、WT動作で第2の飛び越し走査系に相当する走査線の信号(図では②、④、…の走査線)を1ライン期間 fH で記憶する。一方、RD動作はWT動作の2倍の期間 $2fH$ で信号を読み出し、飛び越し走査系の信号系列 $SI'(Y)$ 、 $SI'(C)$ を得る。

【0073】図11(a)及び(b)は、それぞれ図9の垂直スケーリング部54の構成ブロック図及びその中のスイッチ類の選択制御の動作を示す図である。垂直スケーリング部54の垂直縮小の信号処理では、スイッチ58(SW1)、63(SW2)、65(SW4)は端子a、64(SW3)は端子bに接続する。2系列の画像信号の輝度信号 $S3M(Y)$ 、 $S3I(Y)$ は、縮小処理で折り返し歪となる垂直高域周波数成分を除去するため、垂直LPF57で低域通過の周波数特性で帯域制限を行う。1ライン遅延59と係数加重部60と加算部61とで構成する演算部で、2点線形補間の特性によるラインの垂直 $K-L$ 変換($K>L$)の演算を行う。すなわち、1つの系は、 $S3M(Y)$ 、 $S3I(Y)$ の信号に対し、係数加重部60で係数値 β 、 $1-\beta$ を加重し、加算部61で両者を加算する。もう一方の系は、信号 $S3M(Y)$ を1ライン遅延59で1ライン遅延した信号と $S3I(Y)$ の信号に対し、係数加重部60では係数値 γ 、 $1-\gamma$ を加重し、加算部61で両者を加算する。

【0074】そして、この出力に垂直 $K-L$ 変換で K ラインから生成した L ラインの信号からなる2系列の信号を得る。なお、係数値 β 、 $1-\beta$ と γ 、 $1-\gamma$ は、それぞれライン毎に変化する。例えば、4-3変換では、係数値 $(\beta, 1-\beta)$ は、 $(1, 0)$ 、 $(1/3, 2/3)$ 、 $(2/3, 1/3)$ 、 $(1, 0)$ 、…、係数値 $(\gamma, 1-\gamma)$ は、 $(2/3, 1/3)$ 、 $(1, 0)$ 、 $(1/3, 2/3)$ 、 $(2/3, 1/3)$ 、…とライン毎に変化する。メモリ部55のM1では、図12(a)に示す様に、1フィールド期間を周期にWT動作、RD動作を行う。WT動作では、 $K-L$ 変換で生成した2系列の信号を間欠的に書き込み記憶する。一方、RD動作では $(1-L/K)$ フィールド期間遅れた時点より連続的に2系列の信号を読み出し、スイッチ65(SW4)の出力に、 L/K 倍に垂直縮小した2系列の信号系列 $S4M(Y)$ 、 $S4I(Y)$ を得る。以上に述べた垂直縮小の信号処理に必要なメモリ容量は、 $(1-L/K)$ フィールド期間分あればよい。

【0075】垂直拡大の信号処理では、スイッチ58(SW1)、63(SW2)は端子b、64(SW3)、65(SW4)は端子aに接続する。メモリ部55のM1では、図12(b)に示す様に、1フィールド期間を周期とするWT動作、RD動作を行う。2系列の

画像信号の輝度信号 $S3M(Y)$ 、 $S3I(Y)$ は、WT動作で連続的に信号を記憶する。一方、RD動作では一部期間で2度読み出しの動作を行い K ラインの期間に L ラインの2系列の信号を読み出す。1ライン遅延59と係数加重部60と加算部61とで構成する演算部で、2点線形補間の特性によるラインの $L-K$ 変換($L<K$)の演算を行う。すなわち、1つの系は、 $S3M(Y)$ 、 $S3I(Y)$ の信号に対し、係数加重部60で係数値 β 、 $1-\beta$ を加重し、加算部61で両者を加算する。

【0076】もう一方の系は、信号 $S3M(Y)$ を1ライン遅延59で1ライン遅延した信号と $S3I(Y)$ の信号に対し、係数加重部60では係数値 γ 、 $1-\gamma$ を加重し、加算部61で両者を加算する。この出力に $L-K$ 変換で L ラインから生成した K ラインの信号からなる2系列の信号を得る。なお、係数値 β 、 $1-\beta$ と γ 、 $1-\gamma$ は、それぞれライン毎に変化する。例えば、3-4変換では、係数値 $(\beta, 1-\beta)$ は、 $(1, 0)$ 、 $(2/4, 2/4)$ 、 $(1, 0)$ 、…、係数値 $(\gamma, 1-\gamma)$ は、 $(1/4, 3/4)$ 、 $(3/4, 1/4)$ 、 $(1/4, 3/4)$ 、…とライン毎に変化する。そして、65のSW4の出力に、 K/L 倍に垂直拡大した2系列の信号系列 $S4M(Y)$ 、 $S4I(Y)$ を得る。以上に述べた垂直拡大の信号処理に必要なメモリ容量は、 $(1-L/K)$ フィールド期間分あればよい。

【0077】PALフィールド倍速の信号処理は、順次走査系に変換したPAL信号(以下625/50/1:1と略称)を100フィールド/秒の飛び越し走査系の信号(以下625/100/2:1と略称)に変換するもので、SW2、SW3を端子b、SW4を端子aに接続して実現する。メモリ部55のM1では、図12

(c)に示す様なWT動作、RD動作を行う。2系列のPAL信号の輝度信号 $S3M(Y)$ 、 $S3I(Y)$ は、1フィールド期間を周期に、WT動作で連続的に信号を記憶する。一方、RD動作では、0.5フィールド期間遅れた時点から、一方の信号系列(図中のO-O)、他方の信号系列(図中のO-E)の順に信号の読出しを行う。そして、スイッチ65(SW4)の出力に、PALフィールド倍速した2系列の信号系列 $SM4(Y)$ 、 $S4I(Y)$ を得る。以上に述べたPALフィールド倍速の信号処理に必要なメモリ容量は、1フィールド期間分あればよい。

【0078】NTSC-PALフィールド倍速の信号処理は、順次走査系に変換したNTSC信号(以下525/60/1:1と略称)を625/100/2:1系の信号に変換するもので、スイッチ58(SW1)、63(SW2)を端子b、64(SW3)を端子c、65(SW4)を端子aに接続する。2系列のNTSC信号の輝度信号 $S3M(Y)$ 、 $S3I(Y)$ は、図12(d)に示す様に、メモリ部55のM1に、NTSC1

フィールド期間を周期とするWT動作で、連続的に信号を記憶する。一方、RD動作では、PAL1フィールド期間を周期に、一部期間で2度読み出しの動作を行い6ラインの期間に5ラインの2系列の信号を読み出す。

【0079】次に、1ライン遅延59と係数加重部60と加算部61とで構成する演算部で、2点線形補間の特性によるラインの5-6変換の演算で垂直拡大を行う。すなわち、1つの系は、S3M(Y)、S3I(Y)の信号に対し、係数加重部60で係数値 β 、 $1-\beta$ を加重し、加算部61で両者を加算する。もう一方の系は、信号S3M(Y)を1ライン遅延59で1ライン遅延した信号とS3I(Y)の信号に対し、係数加重部60では係数値 γ 、 $1-\gamma$ を加重し、加算部61で両者を加算する。この加算出力に5-6変換で5ラインから生成した6ラインの信号からなる2系列の信号を得る。なお、係数値 β 、 $1-\beta$ と γ 、 $1-\gamma$ は、それぞれライン毎に変化する。メモリ部55のM2では、PAL1フィールド期間を周期に、WT動作で連続的に信号を記憶する。一方、RD動作では、0.5フィールド期間遅れた時点から、一方の信号系列(図中のO-O)、他方の信号系列(図中のO-E)の順に信号の読み出しを行う。そして、スイッチ65(SW4)の出力に、NTSC-PALフィールド倍速した2系列の信号系列SM4(Y)、S4I(Y)を得る。以上に述べたNTSC-PALフィールド倍速の信号処理に必要なメモリ容量は、NTSC-PAL変換に1フィールド期間分、フィールド倍速変換に1フィールド期間分あればよい。

【0080】PAL-NTSC変換の信号処理は、625/50/1:1系の信号を525/60/1:1系の信号に変換するもので、スイッチ58(SW1)、63(SW2)を端子a、64(SW3)を端子b、65(SW4)を端子aに接続する。2系列のPAL信号の輝度信号S3M(Y)、S3I(Y)は、垂直LPF57で低域通過の周波数特性で帯域制限を行う。1ライン遅延59と係数加重部60と加算部61とで構成する演算部で、2点線形補間の特性によるラインの6-5変換の演算で垂直縮小を行う。1つの系は、S3M(Y)、S3I(Y)の信号に対し、係数加重部60で係数値 β 、 $1-\beta$ を加重し、加算部61で両者を加算する。もう一方の系は、信号S3M(Y)を1ライン遅延59で1ライン遅延した信号とS3I(Y)の信号に対し、係数加重部60では係数値 γ 、 $1-\gamma$ を加重し、加算部61で両者を加算する。この出力に6-5変換で6ラインから生成した5ラインの信号からなる2系列の信号を得る。なお、係数値 β 、 $1-\beta$ と γ 、 $1-\gamma$ は、それぞれライン毎に変化する。メモリ部55のM1では、図12(e)に示す様に、PAL1フィールド期間を周期とするWT動作で、6-5変換で生成した2系列の信号を間欠的に書き込み記憶する。一方、RD動作ではNTSC1フィールド期間を周期に2系列の信号を読み出す。そ

して、スイッチ65の出力に、PAL-NTSC変換した信号系列S4M(Y)、S4I(Y)を得る。以上に述べたPAL-NTSC変換の信号処理に必要なメモリ容量は、PAL1フィールド期間分あればよい。

【0081】スルーの信号処理では、スイッチ65を端子bに接続する。そして、スイッチ65の出力に、縮小拡大の処理を行わない2系列の信号系列S4M(Y)、S4I(Y)を得る。

【0082】2系列の画像信号の色差信号S3M

(C)、S3I(C)に対しても、輝度信号と同一の構成による信号処理を行い、垂直縮小、垂直拡大、PALフィールド倍速変換、NTSC-PALフィールド倍速変換、PAL-NTSC変換あるいはスルーの2系列の信号系列S4M(C)、S4I(C)を得る。

【0083】以上に述べた様に、垂直スケーリング部54では、極めて少ないメモリ容量で、フォーマット変換に必要な各種の信号処理を行うことができる。本実施例によれば、信号処理に極めて高速な動作が要求される超高精細ディスプレイのような表示系に対して、信号処理に伴う画質の劣化が少なく、かつ、使用するメモリ容量が極めて少なく、また、低コストな画像信号のフォーマット変換の信号処理方法及び回路を実現することができる。

【0084】<実施形態3>図13は、本発明による画像信号のフォーマット変換回路の第3の実施形態を示すブロック構成図である。本実施例は、2系列の入力画像信号を入力し、2画面表示を行う機能も併せて実現する場合に好適なものである。図中第1図と構成、機能が実質的の同じ部分については図1と同じ符号を付して詳細な説明を省く。

【0085】第1の入力画像信号系列S1(4:2:2系、あるいは4:2:0系のコンポーネント輝度、色差信号)は、マルチ処理部66と選択部67に入力する。また、第2の入力画像信号系列S1'(4:2:2系、あるいは4:2:0系のコンポーネント輝度、色差信号)は、マルチ処理部66に入力する。

【0086】マルチ処理部66は、第1と第2の画像信号系列を時系列多重する信号処理を行い、2画面表示やPIP表示のための信号系列を生成する。選択部67は、単画面表示モードでは第1の画像信号系列S1、2画面、PIP表示モードではマルチ処理部66の信号を出力する。

【0087】図14は、上記マルチ処理部66の構成を示すブロック図、図15は本実施例の2画面表示、PIP表示におけるマルチ処理部の動作概略を説明するための図である。図示の様に、水平LPF68は、サブサンプリング処理に伴う折り返し歪を回避するため、低域通過の特性で水平高域周波数成分を除去する。そして、サブサンプル部69は、2画面表示では2:1、PIP表示では6:1のサブサンプリングの信号処理を行う。選

択部70は、後述するように、カットモードの2画面表示の時は信号S1、S1'を、これ以外の時はサブサンプル部69からの信号を選択して出力する。

【0088】ラインメモリ71は、図15に示すWT動作、RD動作を行う。ラインメモリ71の出力信号を多重部72で時系列多重し、2画面表示やPIP表示のための信号系列を生成する。以下、ラインメモリ71での動作を図15で詳述する。なお、同図は1ラインが910画素、このうちの有効画素数が768画素とした場合である。

【0089】同図(a)は、2画面表示におけるメモリ動作である。カットモードは、画像信号S1とS1'のそれぞれ画面3/5(図中の斜線領域)を表示する。従って、WT動作では、1ライン期間を周期に、ドットで示す454画素の信号を記憶する。なお、通常は信号S1とS1'の間では水平同期の位相がずれた状態にある。一方、RD動作は、信号S1の同期系で行い、1ラインの先頭から454画素の期間はS1の信号(図中の○-L)、その後の454画素の期間はS1'の信号(図中の○-R)を読み出す。このRD動作で水平同期

整合を行い、水平同期の整合した出力信号を得る。なお、この出力信号では信号S1とS1'とでは垂直同期の位相がずれた状態にあるが、これは、後述する垂直スケーリング部での垂直(V)同期整合の信号処理で補正する。

【0090】全画面モードは、画像信号S1とS1'のそれぞれ全画面(図中のドット領域)を表示する。従って、WT動作では、1ライン期間を周期に、2:1サブサンプリングした384画素の信号を記憶する。一方、RD動作は、信号S1の同期系で行い、1ラインの前半ではS1の信号(図中の○-L)、後半ではS1'の信号(図中の○-R)を読み出す。このRD動作で水平

(H)同期整合した出力信号を得る。なお、カットモードと同様、垂直同期の位相ずれは、後述する垂直スケーリング部での垂直同期整合の信号処理で補正する。

【0091】同図(b)は、PIP表示におけるメモリ動作である。この場合は、信号S1の画像で主画面を構成し、信号S1'の画像を1/3に圧縮したシネマモードの画像で子画面を構成する。従って、WT動作では、1ラインを周期に、信号S1は、有効画素の768画素を全て記憶する。また、信号S1'は、6:1サブサンプリングした128画素の信号を記憶する。一方、RD動作は、信号S1の同期系で行い、1ラインの先頭からS1の信号を読み出し、その後でS1'の信号を読み出す。このRD動作で水平同期整合した出力信号を得る。なお、垂直同期の位相ずれは、後述する垂直スケーリング部でのV同期整合の信号処理で補正する。

【0092】図16は、2画面、PIP表示における水平、垂直スケーリング部の信号処理の概略を示す。同図(a)は、信号処理の内容を示す。2画面表示のカット

モードでは、水平スケーリング部は4-3縮小変換、垂直スケーリング部はV同期整合の処理を行う。また、全画面モードでは、垂直スケーリング部は3-2縮小変換と垂直同期整合の処理を行う。一方、PIP表示では、水平スケーリング部は主画面に対して4-3縮小変換、子画面に対して1-2拡大変換の処理、垂直スケーリング部は子画面に対して9-4縮小変換とV同期整合の処理を行う。なお、単画面表示では、前述した第1の実施例と同様の処理を行う。

10 【0093】同図(b)は、垂直同期整合の概説図である。水平、垂直スケーリング部5、6には水平同期整合した信号が入力されるが、同図に示す様に、信号S1と信号S1'では垂直同期の位相がずれた状態にある。そこで、垂直同期整合の処理で、信号S1'の垂直同期の位相を信号S1と一致させる。

【0094】同図(c)は、2画面表示での垂直スケーリング部のメモリ動作を示す。カットモードでは、信号S1の系列(各ラインの前半部)に対しては、スルーの処理を行う。一方、信号S1'の系列(各ラインの後半部)に対しては、WT動作でメモリに信号を記憶する。そして、RD動作を信号S1の同期系で行い、垂直同期整合した信号を読み出す。なお、この信号処理に必要なメモリ容量は、最大で1フィールド期間分あればよい。

20 【0095】全画面モードでは、WT動作では、3-2変換で生成した信号S1の系列(各ラインの前半部)と、信号S1'の系列(各ラインの後半部)の信号を間欠的に書き込み記憶する。一方、RD動作では、信号S1の系列(各ラインの前半部)の読出しと、信号S1'の系列(各ラインの後半部)の読出しを、いずれも信号S1の同期系で行う。そして、垂直同期整合の取れた信号を得る。なお、この信号処理に必要なメモリ容量は、垂直縮小に1/3(前述の如く(1-L/K)フィールド期間で、K=3、L=2)フィールド期間分、垂直同期整合に最大で1フィールド期間分あればよい。

【0096】以上に述べた如く、本実施例によれば、2画面表示やPIP表示の機能を併せて有する画像信号のフォーマット変換の信号処理方法及び回路を、信号処理に伴う画質の劣化が少なく、かつ、使用するメモリ容量が極めて少なく、また、低コストで実現することができる。

40 【0097】<実施形態4>図17は、本発明による画像信号のフォーマット変換回路の第4の実施形態を示すブロック構成図である。本実施例は、実施形態3と同様に、2系列の入力画像信号を入力し、PIP表示などの機能も併せて実現する場合に好適なものである。図中第1図と構成、機能が実質的の同じ部分については図1と同じ符号を付して詳細な説明を省く。

【0098】第1の入力画像信号系列S1(4:2:2系、あるいは4:2:0系のコンポーネント輝度、色差信号)は、マルチ処理部73と選択部67に入力する。

また、第2の入力画像信号系列 $S1'$ (4:2:2系、あるいは4:2:0系のコンポーネント輝度、色差信号)は、マルチ処理部73に入力する。マルチ処理部73は、第1と第2の画像信号系列 $S1$ と $S1'$ とを時系列多重する信号処理を行い、2画面表示のための信号系列と、PIP表示のための子画面信号系列を生成する。選択部67は、単画面表示モードでは第1の画像信号系列 $S1$ 、2画面表示モードではマルチ処理部73の信号を出力する。

【0099】図18は、マルチ処理部73でのPIP表示の子画面信号系列の生成を説明する図である。PIP表示では、信号 $S1$ の画像で主画面を構成し、信号 $S1'$ の画像を1/3に圧縮したシネマモードの画像で子画面を構成する。従って、メモリには、信号 $S1'$ の同期系で1ライン期間を周期とするWT動作で、信号 $S1'$ を3:1サブサンプリングして得られる256画素の信号を記憶する。一方、RD動作は、信号 $S1$ の同期系でWT動作の2倍の速度で信号を読み出す。そして、信号 $S1$ と水平同期整合がとれた、順次走査の形態の子画面信号系列PIPを生成する。この信号PIPは、上述の様に、垂直スケーリング部6で9-4縮小変換と垂直同期整合の処理を行い、シネマモードの子画面画像を構成する。なお、PIP表示での信号処理を除けば、構成及び信号処理は実施形態3と同様であり、説明は省略する。

【0100】以上に述べた如く、本実施形態4によれば、2画面表示やPIP表示の機能を併せて有する画像信号のフォーマット変換の信号処理方法及び回路を、信号処理に伴う画質の劣化が少なく、かつ、使用するメモリ容量が極めて少なく、また、低コストで実現することができる。

【0101】

【発明の効果】本発明によれば、複数方式の画像信号を画像表示部の所定フォーマットの画像信号に変換、あるいは、画像の水平垂直方向の任意拡大・縮小のスケーリング処理を行う、画像信号のフォーマット変換の信号処理方法及び回路を、信号処理に伴う画質の劣化が少なく、かつ、使用するメモリ容量が極めて少なく、また、低コストで実現することができる。このため、マルチメディア対応の各種情報機器端末の機能向上ならびにコスト低減に顕著な効果がある。

【図面の簡単な説明】

【図1】本発明による画像信号のフォーマット変換回路の第1の実施形態のブロック構成図

【図2】図1のIP変換部1のブロック構成図

【図3】図1の倍速化部3のブロック構成図及び動作説明図

【図4】図1の水平スケーリング部5のブロック構成及び動作説明図

【図5】図1の垂直スケーリング部6のブロック構成及

び動作説明図

【図6】図1の垂直スケーリング部6の信号処理とメモリ動作の概略図

【図7】図1の画質改善部8のブロック構成図

【図8】本発明の画像信号のフォーマット変換回路を用いたTV受像機の一実施例図

【図9】本発明による画像信号のフォーマット変換回路の第2の実施形態のブロック構成図

【図10】図9の2チャンネル化部53のブロック構成及び動作説明図

【図11】図9の垂直スケーリング部54のブロック構成及び動作説明図

【図12】図9の垂直スケーリング部54の信号処理とメモリ動作の概略図

【図13】本発明による画像信号のフォーマット変換回路の第3の実施形態のブロック構成図

【図14】図13のマルチ処理部66のブロック構成図

【図15】図13のマルチ処理部66の2画面表示、PIP表示におけるマルチ処理部の動作概略図

【図16】図13の水平、垂直スケーリング部における信号処理の概略図

【図17】本発明による画像信号のフォーマット変換回路の第3の実施形態のブロック構成図

【図18】図17のマルチ処理部73におけるPIP表示の信号処理概略図

【図19】画像信号のフォーマット変換の画面図

【図20】図1におけるK-L変換の特性図

【図21】525/60/1:1 (アスペクト16:9)表示系における信号処理説明図

【図22】625/100/2:1 (アスペクト16:9)表示系における信号処理説明図

【図23】1125/60/2:1 (アスペクト16:9)表示系における信号処理説明図

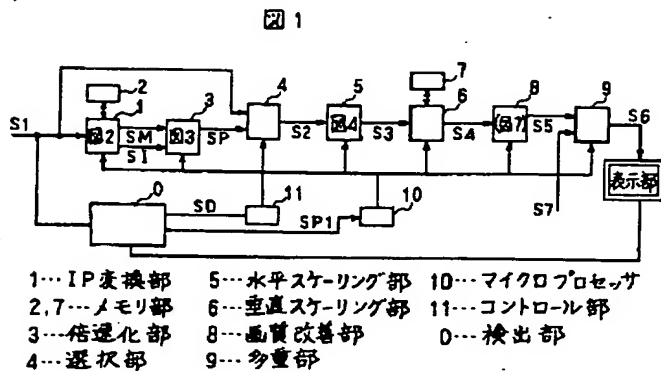
【符号の説明】

1…IP変換部、2, 7, 55…メモリ部、3…倍速化部、4, 67, 70, 78…選択部、5…水平スケーリング部、6, 54…垂直スケーリング部、8…画質改善部、9, 22, 51, 72…多重部、10…マイクロプロセッサ、11…コントロール部、12…1H遅延部、13, 16, 27, 36, 61…加算部、14, 15, 20, 26, 35, 60…係数加重部、17…減算部、18…動き係数設定部、19…MAX選択部、21, 56, 71…ラインメモリ、23, 68…水平LPF、24, 33, 58…SW1、25…1画素遅延、28, 37, 63…SW2、29…1Hメモリ、30, 38, 64…SW3、31, 39, 65…SW4、32, 57…垂直LPF、34, 59…1ライン遅延、74…輝度処理部、75…画素補間部、76…色空間変換部、77…逆γ処理部、40…UVチューナ部、41…BS/CSチューナ部、42, 48…スイッチ部、43…現行方式

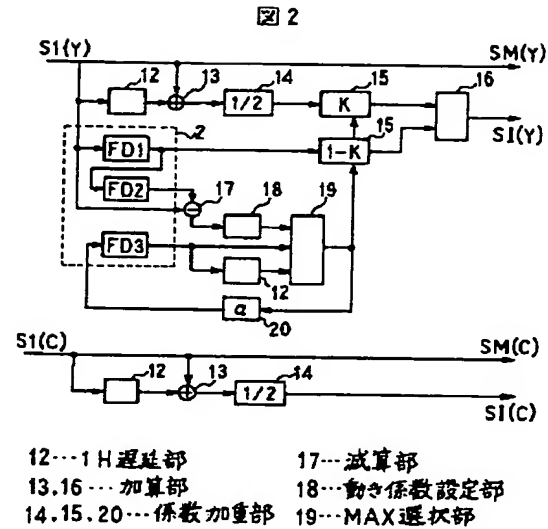
デコード部、44…ED/HDデコード部、45…デジタル受信部、46…MPEGデコード部、47…PC処理部、49…画像処理部、50…OSD、52…マイコ*

*ン制御部、53…2チャンネル化部、66, 73…マルチ処理部、69…サブサンプル部。

【図1】

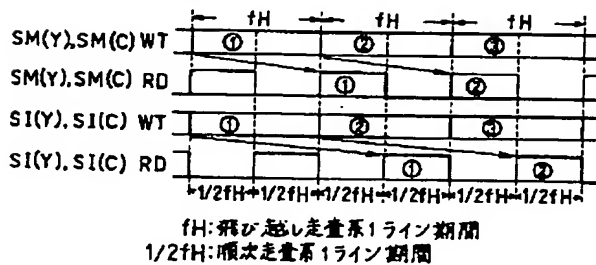
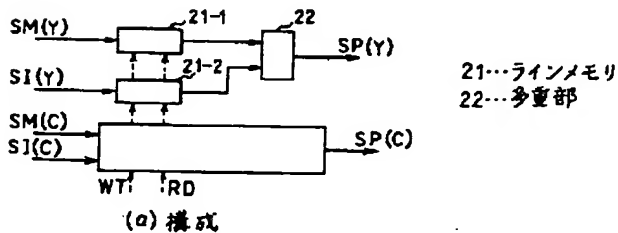


【図2】



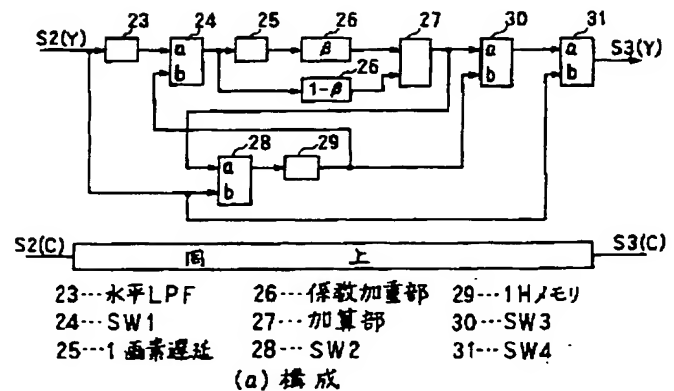
【図3】

図3



【図4】

図4



信号処理	SW1	SW2	SW3	SW4
水平縮小	a	a	b	a
水平拡大	b	b	a	a
スルー	—	—	—	b

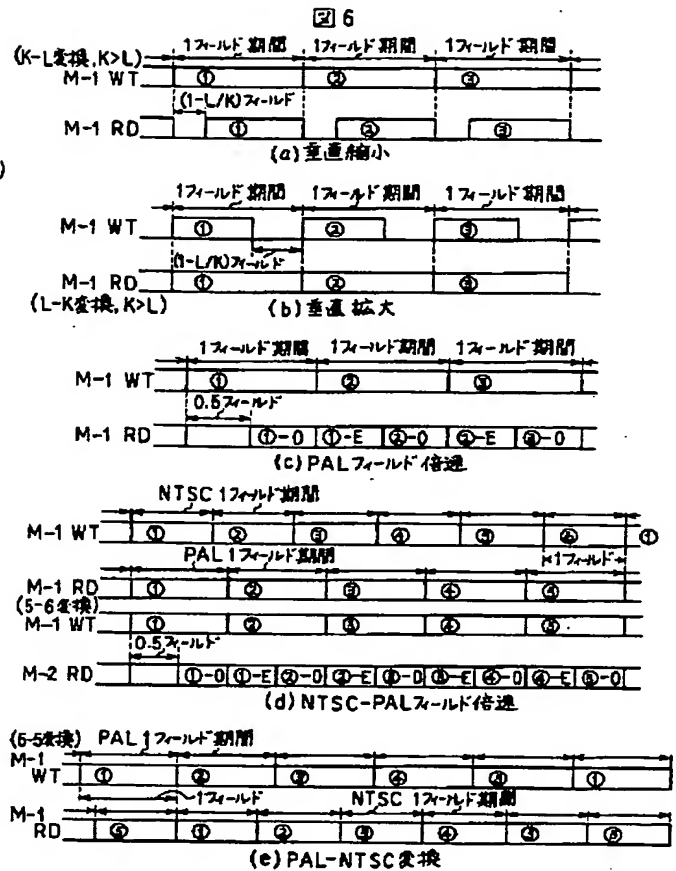
(b) スイッチ制御

【図 6】

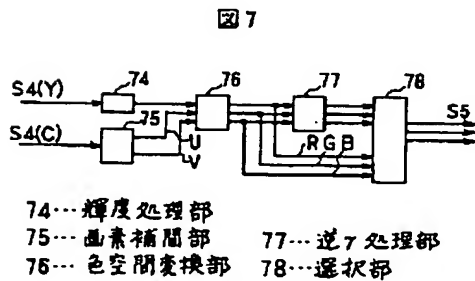


信号処理	SW1	SW2	SW3	SW4
垂直縮小	a	a	b	a
垂直拡大	b	b	a	a
PALフィールド倍速	—	b	b	a
NTSC-PALフィールド倍速	b	b	c	a
PAL-NTSC変換	a	a	b	a
スルー	—	—	—	b

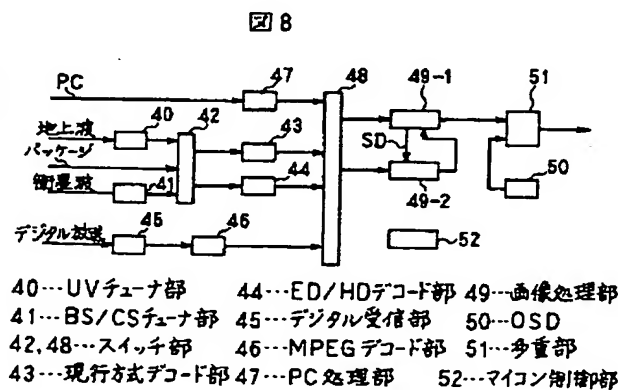
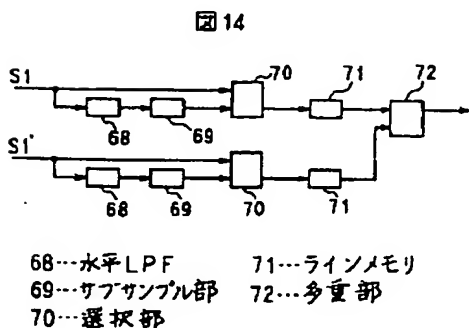
(b) スイッチ 制御



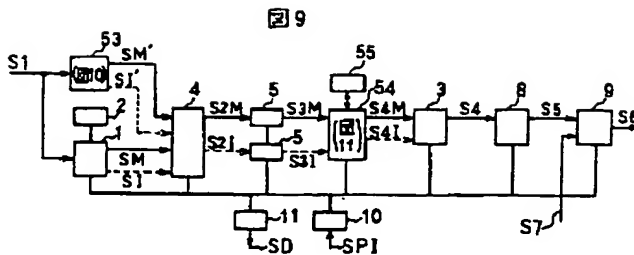
【図 8】



【图 14】

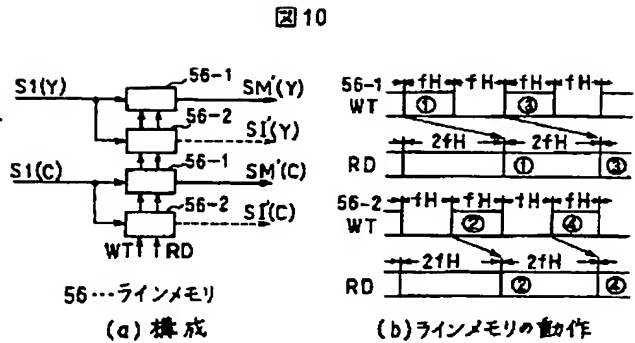


【図9】

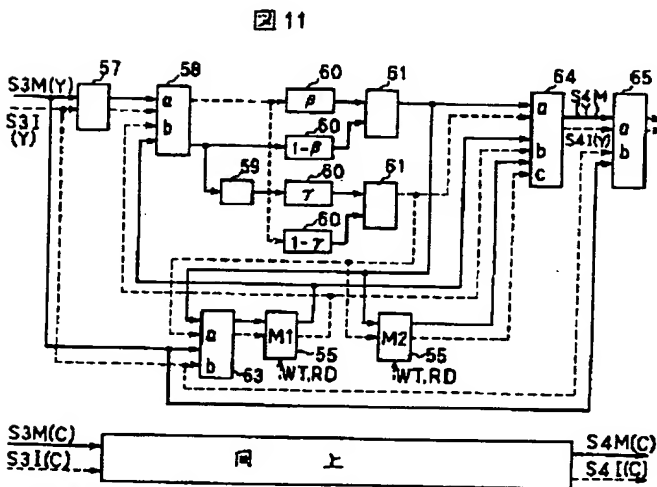


- 1…IP変換部 5…水平スケーリング部 11…コントロール部
 2,55…メモリ部 8…画質改善部 53…2チャンネル化部
 3…倍速化部 9…多重部 54…垂直スケーリング部
 4…選択部 10…マイコン部

【図10】



【図11】



- 57…垂直LPF 60…係数加重部 55…メモリ部
 58…SW1 61…加算部 64…SW3
 59…1ライン遅延 63…SW2 65…SW4

(a) 構成

信号処理	SW1	SW2	SW3	SW4
垂直縮小	a	a	b	a
垂直拡大	b	b	a	a
PALフィールド倍速	—	b	b	a
NTSC-PALフィールド倍速	b	b	c	a
PAL-NTSC変換	a	a	b	a
スルー	—	—	—	b

(b) スイッチ制御

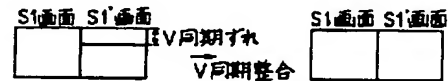
【図16】

図16

2画面表示モード	水平スケーリング	垂直スケーリング
カットモード	4-3 縮小変換	V同期整合
全画面モード	スルー	3-2 縮小変換 V同期整合

PIP表示モード	水平スケーリング	垂直スケーリング
主画面(S1)	4-3 縮小変換	スルー
子画面(S1')	1-2 拡大変換	9-4 縮小変換 V同期整合

(a) 信号処理内容



(b) V同期整合の概説図

	1フィールド期間	1フィールド期間	1フィールド期間
S1系列			
S1'系列			
メモリ WT	①	②	
メモリ RD		①	②

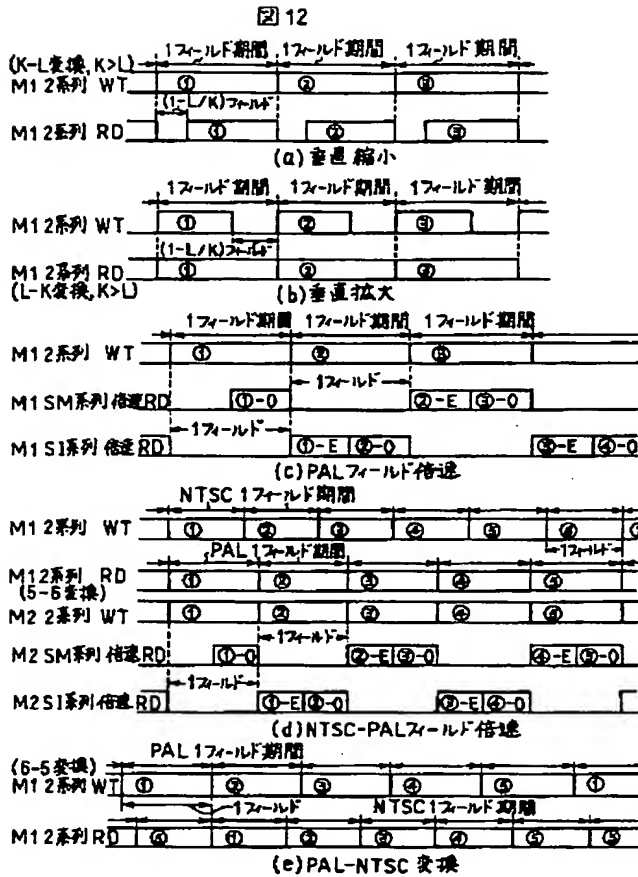
(1) カットモード

	1フィールド期間	1フィールド期間	1フィールド期間
3-2変換			
S1, S1'系列メモリ WT	①	②	③
S1系列メモリ RD			
S1'系列メモリ RD		①	②

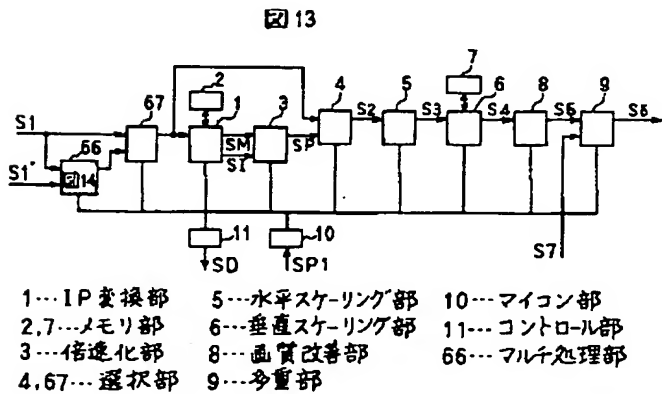
(2) 全画面モード

(c) V同期整合処理におけるメモリ動作

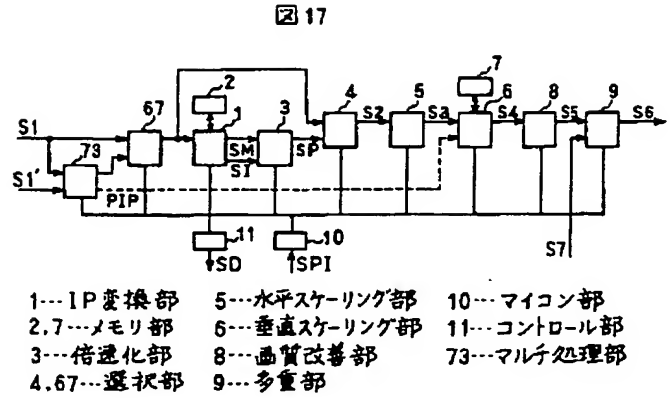
【図12】



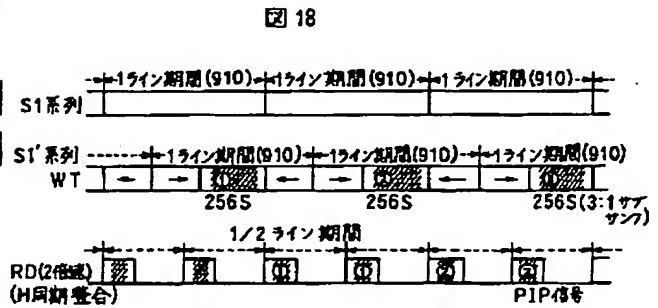
【図13】



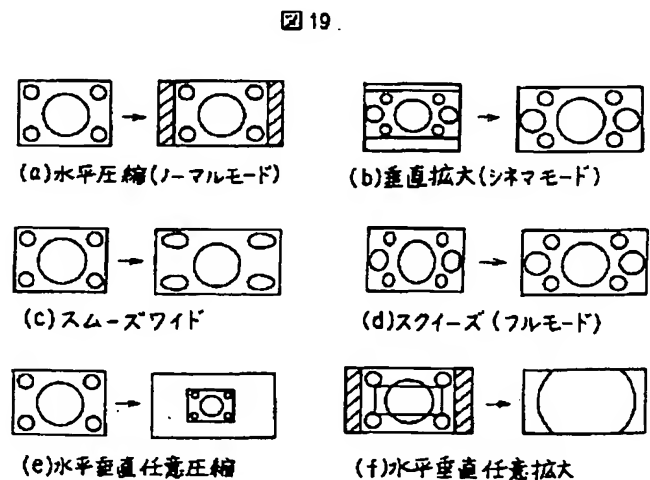
【図17】



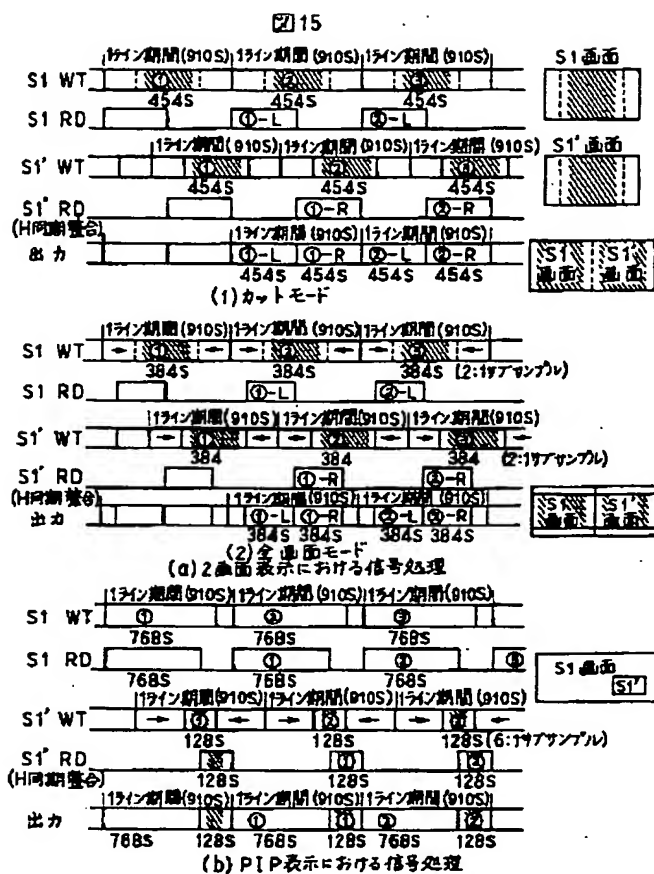
【図18】



【図19】



【図15】



【図20】

図20

$$\begin{bmatrix} Y1 \\ Y2 \\ Y3 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 2/3 & 1/3 & 0 \\ 0 & 0 & 1/3 & 2/3 \end{bmatrix} \begin{bmatrix} X1 \\ X2 \\ X3 \\ X4 \end{bmatrix}$$

(a) 4-3変換

$$\begin{bmatrix} Y1 \\ Y2 \\ Y3 \\ Y4 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1/4 & 3/4 & 0 & 0 \\ 0 & 2/4 & 2/4 & 0 \\ 0 & 0 & 3/4 & 1/4 \end{bmatrix} \begin{bmatrix} X1 \\ X2 \\ X3 \\ X4 \end{bmatrix}$$

X4は次のX1と同一

(b) 3-4変換

$$\begin{bmatrix} Y1 \\ Y2 \\ Y3 \\ Y4 \\ Y5 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 \\ 0 & 4/5 & 1/5 & 0 & 0 \\ 0 & 0 & 3/5 & 2/5 & 0 \\ 0 & 0 & 0 & 2/5 & 3/5 \\ 0 & 0 & 0 & 1/5 & 4/5 \end{bmatrix} \begin{bmatrix} X1 \\ X2 \\ X3 \\ X4 \\ X5 \\ X6 \end{bmatrix}$$

(c) 6-5変換

$$\begin{bmatrix} Y1 \\ Y2 \\ Y3 \\ Y4 \\ Y5 \\ Y6 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 \\ 1/6 & 5/6 & 0 & 0 & 0 & 0 \\ 0 & 2/6 & 4/6 & 0 & 0 & 0 \\ 0 & 0 & 3/6 & 3/6 & 0 & 0 \\ 0 & 0 & 0 & 4/6 & 2/6 & 0 \\ 0 & 0 & 0 & 0 & 5/6 & 1/6 \end{bmatrix} \begin{bmatrix} X1 \\ X2 \\ X3 \\ X4 \\ X5 \\ X6 \end{bmatrix}$$

X6は次のX1と同一

(d) 5-6変換

【図21】

図21

入力信号	IP変換	水平スケーリング	垂直スケーリング	備考	
525/60/2:1系 (NTSC)	○	4-3変換	スルー	ノーマルモード	
	○	4-3変換*	スルー	ズームワイドモード	
	○	スルー	3-4変換	シネマモード	
	○	1-N変換	1-N変換	N倍ズームモード	
	○	N-1変換	N-1変換	1/N圧縮	
525/60/1:1系 (EDTV)	スルー	スルー	スルー		
	スルー	1-N変換	1-N変換	N倍ズームモード	
	スルー	N-1変換	N-1変換	1/N圧縮	
1125/60/2:1系 (HDTV)	スルー	サブサンプリング	17-18変換		
	スルー	1-N変換	1-N変換	N倍ズームモード	
	スルー	N-1変換	N-1変換	1/N圧縮	
625/50/2:1系 (PAL)	○	4-3変換	6-5変換**	ノーマルモード	
	○	4-3変換*	6-5変換**	ズームワイドモード	
	○	スルー	9-10変換**	シネマモード	
	○	1-N変換	1-N変換**	N倍ズームモード	
	○	N-1変換	N-1変換**	1/N圧縮	
PC	VGA系 (640x480)	スルー	4-3変換	スルー	ノーマルモード
		スルー	1-N変換	1-N変換	N倍ズームモード
		スルー	N-1変換	N-1変換	1/N圧縮
	SVGA系 (800x600)	スルー	4-3変換	5-4変換	ノーマルモード
		スルー	1-N変換	1-N変換	N倍ズームモード
		スルー	N-1変換	N-1変換	1/N圧縮
	XGA系 (1024x768)	スルー	4-3変換	8-5変換	ノーマルモード
		スルー	1-N変換	1-N変換	N倍ズームモード
		スルー	N-1変換	N-1変換	1/N圧縮

*: 左右周辺部は1-1変換

**: フレームレート変換処理を含む

【図23】

図23

入力信号	IP変換	水平スケーリング	垂直スケーリング	備考	
525/60/2:1系 (NTSC)	○	4-3変換	16-17変換*	ノーマルモード	
	○	4-3変換*	16-17変換*	ズームワイドモード	
	○	スルー	12-17変換*	シネマモード	
	○	1-N変換	1-N変換*	N倍ズームモード	
	○	N-1変換	N-1変換*	1/N圧縮	
525/60/1:1系 (EDTV)	スルー	スルー	16-17変換*		
	スルー	1-N変換	1-N変換*	N倍ズームモード	
	スルー	N-1変換	N-1変換*	1/N圧縮	
1125/60/2:1系	スルー	スルー	スルー		
	スルー	1-N変換	1-N変換	N倍ズームモード	
	スルー	N-1変換	N-1変換	1/N圧縮	
625/50/2:1系 (PAL)	○	4-3変換	16-15変換**	ノーマルモード	
	○	4-3変換*	16-15変換**	ズームワイドモード	
	○	スルー	4-5変換**	シネマモード	
	○	1-N変換	1-N変換**	N倍ズームモード	
	○	N-1変換	N-1変換**	1/N圧縮	
PC	VGA系 (640×480)	スルー	4-3変換	16-17変換*	ノーマルモード
		スルー	1-N変換	1-N変換*	N倍ズームモード
		スルー	N-1変換	N-1変換*	1/N圧縮
	SVGA系 (800×600)	スルー	4-3変換	20-17変換*	ノーマルモード
		スルー	1-N変換	1-N変換*	N倍ズームモード
		スルー	N-1変換	N-1変換*	1/N圧縮
	XGA系 (1024×768)	スルー	4-3変換	32-21変換**	ノーマルモード
		スルー	1-N変換	1-N変換*	N倍ズームモード
		スルー	N-1変換	N-1変換*	1/N圧縮

*: 左右周辺部は1-1変換

*: インタレース変換処理を含む

**: フレームレート変換、インタレース変換処理を含む

【図22】

図22

入力信号	IP変換	水平スケーリング	垂直スケーリング	備考	
525/60/2:1系 (NTSC)	○	4-3変換	5-6変換**	ノーマルモード	
	○	4-3変換*	5-6変換**	ズームワイドモード	
	○	スルー	5-8変換**	シネマモード	
	○	1-N変換	1-N変換**	N倍ズームモード	
	○	N-1変換	N-1変換**	1/N圧縮	
525/60/1:1系 (EDTV)	スルー	スルー	5-6変換**		
	スルー	1-N変換	1-N変換**	N倍ズームモード	
	スルー	N-1変換	N-1変換**	1/N圧縮	
1125/60/2:1系 (HDTV)	スルー	サブサンプリング	15-16変換**		
	スルー	1-N変換	1-N変換**	N倍ズームモード	
	スルー	N-1変換	N-1変換**	1/N圧縮	
625/50/2:1系 (PAL)	○	4-3変換	スルー*	ノーマルモード	
	○	4-3変換*	スルー*	ズームワイドモード	
	○	スルー	3-4変換*	シネマモード	
	○	1-N変換	1-N変換*	N倍ズームモード	
	○	N-1変換	N-1変換*	1/N圧縮	
PC	VGA系 (640x480)	スルー	4-3変換	5-6変換**	ノーマルモード
		スルー	1-N変換	1-N変換**	N倍ズームモード
		スルー	N-1変換	N-1変換**	1/N圧縮
	SVGA系 (800x600)	スルー	4-3変換	スルー**	ノーマルモード
		スルー	1-N変換	1-N変換**	N倍ズームモード
		スルー	N-1変換	N-1変換**	1/N圧縮
	XGA系 (1024x768)	スルー	4-3変換	4-3変換**	ノーマルモード
		スルー	1-N変換	1-N変換**	N倍ズームモード
		スルー	N-1変換	N-1変換**	1/N圧縮

*: 左右周辺部は1-1変換

**: フレームレート変換、フィールド倍速処理を含む

*: フィールド倍速処理を含む

フロントページの続き

(51) Int. Cl.⁶

識別記号

H 0 4 N 5/46
11/20

F I

H 0 4 N 11/20

G 0 6 F 15/66

3 5 5 A

(72) 発明者 杉山 雅人
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72) 発明者 中嶋 満雄
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72) 発明者 木村 初司
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72) 発明者 栗田 俊之
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像情報メディア事業部
内

(72) 発明者 板垣 次雄
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像情報メディア事業部
内

(72) 発明者 高田 春樹
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像情報メディア事業部
内